

(11)特許出願公開番号

特開2000-35777

(P2000-35777A)

(43)公開日 平成12年2月2日(2000.2.2)

(51)Int.Cl. ⁷	識別記号	F I	テマコード [*] (参考)
G 0 9 G 3/36		G 0 9 G 3/36	2 H 0 9 3
G 0 2 F 1/133	5 7 5	G 0 2 F 1/133	5 7 5 5 C 0 0 6

審査請求 未請求 請求項の数6 OL (全 6 頁)

(21)出願番号	特願平10-204628	(71)出願人	000006013 三菱電機株式会社 東京都千代田区丸の内二丁目2番3号
(22)出願日	平成10年7月21日(1998.7.21)	(72)発明者	西村 優 東京都千代田区丸の内二丁目2番3号 三 菱電機株式会社内
		(72)発明者	河野 靖彦 東京都千代田区丸の内二丁目2番3号 三 菱電機株式会社内
		(74)代理人	100073759 弁理士 大岩 増雄

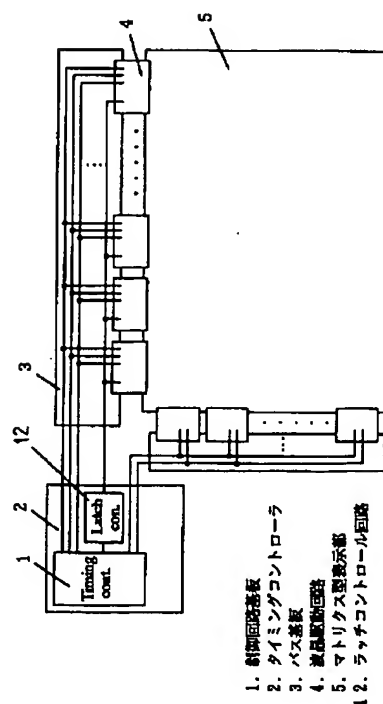
[最終頁に続く](#)

(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】 従来の液晶表示装置は、多くのデータが同じタイミングでパラレルに伝送された場合、遅延によって、液晶駆動回路への入力に位相差が生じるため、タイミングエラーが発生する場合があった。

【解決手段】 マトリクス型表示部 5 に画像データに応じた駆動信号を供給する液晶駆動回路 4 に、タイミングコントローラ 2 から複数の画像データを並列に供給し、このタイミングコントローラ 2 が並列に供給する複数の画像データを、液晶駆動回路 4 が異なるタイミングでラッチするよう、ラッチコントロール回路 12 によってラッチ制御信号を供給する。



【特許請求の範囲】

【請求項1】 表示部に画像データに応じた駆動信号を供給する液晶駆動回路、この液晶駆動回路に複数の画像データを並列に供給する制御部、この制御部から並列に供給される複数の画像データを上記液晶駆動回路が異なるタイミングでラッチするよう形成されたラッチ制御信号を供給するラッチ制御回路を備えたことを特徴とする液晶表示装置。

【請求項2】 複数の画像データは、位相が異なると共に、ラッチ制御信号の位相は上記画像データに応じて異なることを特徴とする請求項1記載の液晶表示装置。

【請求項3】 複数の画像データは、位相の異なる複数のブロックに分けられ、ブロック毎に異なるタイミングでラッチされることを特徴とする請求項1記載の液晶表示装置。

【請求項4】 画像データの位相は、時間的に変化すると共に、ラッチ制御信号も時間的に変化することを特徴とする請求項1記載の液晶表示装置。

【請求項5】 ラッチ制御回路は、液晶駆動回路に設けられていることを特徴とする請求項1～請求項4のいずれか一項記載の液晶表示装置。

【請求項6】 表示部に画像データに応じた駆動信号を供給する液晶駆動回路、この液晶駆動回路に複数の画像データを並列に供給する制御部、位相の異なるクロックを発生するクロック発生回路、このクロック発生回路の発生する位相の異なるクロックに応じて、異なるタイミングで複数の画像データを上記液晶駆動回路がラッチするよう形成されたラッチ制御信号を供給するラッチ制御回路を備えたことを特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、コンピュータの表示画面などに用いられる液晶表示装置に関し、特に液晶駆動回路に関するものである。

【0002】

【従来の技術】高解像度や多階調の液晶表示装置を実現するには、多くの画像データを高速に液晶表示装置に伝送する必要がある。図7は、従来の液晶表示装置を示す概略構成図である。図7において、1はタイミングコントローラ2を搭載した制御回路基板、3はタイミングコントローラ2からの画像データを伝えるバス基板、4はバス基板3を介してタイミングコントローラ2からの画像データを受信する液晶駆動回路である。5は液晶駆動回路4から信号を供給されるマトリクス状の画素を有するマトリクス型表示部である。図8は、従来の液晶表示装置の液晶駆動回路を示す概略構成図で、その構成は後述する。

【0003】従来は図7に示すように、複数の画像データが、パラレルに制御回路基板1のタイミングコントローラ2からバス基板3を介して液晶駆動回路4に供給さ

れ、液晶駆動回路4内で各画素に対応したデータをラッチしてマトリクス型表示部5に信号を供給している。例えば64階調の液晶表示装置の場合、RGB各6bitで18本のデータをパラレルに配線し伝送している。また、XGA(Extended Graphics Array)などの高解像度の液晶表示装置では、画像データ量が多く信号が高速になるため、奇数列と偶数列に分け、さらにこれらをパラレル伝送するものもある。この場合、64階調を出すには36本のデータをパラレルに配線し伝送している。

【0004】液晶駆動回路4は、例えば図8に示すように、シフトレジスタ6とラッチ回路/データレジスタ7、レベルシフタ8、D/Aコンバータ9、出力バッファ10などで構成される。パラレルに入力された複数のデータは、シフトレジスタ6で所定のラインに振り分けられ、ラッチ回路で或るタイミングでラッチされ、データレジスタにデータが書き込まれる。このとき、RGB各複数ビットのデータは同じタイミングでラッチされ、そのデータに基づいてレベルシフタ8、D/Aコンバータ9、出力バッファ10を介してマトリクス型表示部5に信号が出力される。

【0005】

【発明が解決しようとする課題】多くのデータが同じタイミングでパラレルに伝送された場合、バス基板3内で発生する遅延によって、液晶駆動回路4への入力に位相差が生じるため、同じタイミングでラッチするとタイミングエラーが発生する場合がある。また、信号線からの放射(不要輻射)や同時スイッチングによる電源、グランドからの放射が多くなり、EMI(Electromagnetic Interference)が問題となるため、放射を低減するために、タイミングコントローラ2から複数の画像データを異なる位相で出力することが考えられるが、信号を受ける液晶駆動回路4では同じタイミングで画像データをラッチするため、全てのデータに対してセットアップタイムやホールドタイムを確保できなくなる。

【0006】この発明は、上記のような課題を解決するためになされたもので、バス基板内で生じた遅延を吸収して、タイミングエラーの発生を防ぎ、液晶駆動回路で全ての画像データに対してセットアップタイムやホールドタイムを十分確保でき、信号線や電源、グランドからの放射を低減することができる液晶表示装置を得ることを目的にしている。

【0007】

【課題を解決するための手段】この発明に係わる液晶表示装置においては、表示部に画像データに応じた駆動信号を供給する液晶駆動回路と、この液晶駆動回路に複数の画像データを並列に供給する制御部と、この制御部から並列に供給される複数の画像データを液晶駆動回路が異なるタイミングでラッチするよう形成されたラッチ制

御信号を供給するラッチ制御回路を備えたものである。また、複数の画像データは、位相が異なると共に、ラッチ制御信号の位相は画像データに応じて異なるものである。

【0008】また、複数の画像データは、位相の異なる複数のブロックに分けられ、ブロック毎に異なるタイミングでラッチされるものである。さらに、画像データの位相は、時間的に変化すると共に、ラッチ制御信号も時間的に変化するものである。

【0009】また、ラッチ制御回路は、液晶駆動回路に設けられているものである。加えて、表示部に画像データに応じた駆動信号を供給する液晶駆動回路と、この液晶駆動回路に複数の画像データを並列に供給する制御部と、位相の異なるクロックを発生するクロック発生回路と、このクロック発生回路の発生する位相の異なるクロックに応じて、異なるタイミングで複数の画像データを液晶駆動回路がラッチするよう形成されたラッチ制御信号を供給するラッチ制御回路を備えたものである。

【0010】

【発明の実施の形態】以下、この発明の一実施の形態を

図について説明する。
実施の形態 1. 図 1 は、この発明の実施の形態 1 による液晶表示装置を示す概略構成図である。図において、1 は、制御部であるタイミングコントローラ 2 を搭載した制御回路基板、3 はタイミングコントローラ 2 からの画像データを伝えるバス基板、4 はバス基板 3 を介してタイミングコントローラ 2 からの画像データを受信する液晶駆動回路である。5 は液晶駆動回路 4 から信号を供給されるマトリクス状の画素を有するマトリクス型表示部である。12 は制御回路基板 1 に設けられたラッチコントロール回路で、液晶駆動回路 4 の画像データをラッチするタイミング信号であるラッチ制御信号を作り、複数の画像データを異なるタイミングでラッチさせる。図 2 は、この発明の実施の形態 1 による液晶表示装置の信号を示す概略タイミングチャート図である。

【0011】タイミングコントローラ 2 は、複数の画像データ信号をバス基板 3 を介して液晶駆動回路 4 に供給し、液晶駆動回路 4 では、各画素に対応した画像データをラッチしてマトリクス型表示部 5 に信号を供給する。ここで、制御回路基板 1 に設けたラッチコントロール回路 12 により、液晶駆動回路 4 のデータをラッチするラッチ制御信号を作り、複数の画像データを異なるタイミングでラッチさせる。なお、図 1 では、制御回路基板 1 にラッチコントロール回路 12 を設けた例を示したが、バス基板 3 やタイミングコントローラ 2 などにラッチコントロール回路 12 を設けても良い。これにより、例えば、複数のデータ A、B、C の位相に対応して、それぞれ異なる位相のラッチ制御信号 A、B、C を伝送し、液晶駆動回路 4 ではそれぞれに応じたタイミングでデータをラッチする。

【0012】実施の形態 2. 図 3 は、この発明の実施の形態 2 による液晶表示装置の信号を示す概略タイミングチャート図である。ラッチコントロール回路 12 は位相の異なる複数のブロックに分けられた複数の画像データ R0~R5、G0~G5、B0~B5 に対し、異なるブロックに応じてラッチ制御信号 A、B、C を伝送し、それぞれに適した位相差のタイミングで画像データをラッチする。

【0013】実施の形態 3. 図 4 は、この発明の実施の形態 3 による液晶表示装置の信号を示す概略タイミングチャート図である。ラッチコントロール回路 12 は、時間的に変化する位相の異なる複数の画像データ A、B、C に対して、時間的に変化するラッチ制御信号 A、B、C を伝送し、それぞれに適した位相差のタイミングでデータをラッチする。

【0014】実施の形態 4. 図 5 は、この発明の実施の形態 4 による液晶表示装置の液晶駆動回路を示す概略構成図である。図において、6~10 は図 8 におけるものと同一のものである。実施の形態 4 では、クロック発生回路（図示せず）によって発生された位相の異なるクロック CLK が、ラッチ回路／データレジスタ 7 に入力している。位相の異なる複数の画像データを、位相の異なる複数のクロックを使うことで、1 つのラッチ制御信号を用いて、各クロックに応じた異なるタイミングでデータをラッチする。

【0015】実施の形態 5. 図 6 は、この発明の実施の形態 5 による液晶表示装置の液晶駆動回路を示す概略構成図である。図において、6~10 は図 8 におけるものと同一のものである。実施の形態 5 では、位相の異なる複数の画像データを異なるタイミングでラッチするために、液晶駆動回路 4 の内部にラッチのタイミングを変える機能であるラッチコントロール回路 12 を設けたものである。

【0016】

【発明の効果】この発明は、以上説明したように構成されているので、以下に示すような効果を奏する。表示部に画像データに応じた駆動信号を供給する液晶駆動回路と、この液晶駆動回路に複数の画像データを並列に供給する制御部と、この制御部から並列に供給される複数の画像データを液晶駆動回路が異なるタイミングでラッチするよう形成されたラッチ制御信号を供給するラッチ制御回路を備えたので、画像データの遅延のために発生するタイミングエラーを防ぎ、液晶駆動回路で全ての画像データに対してセットアップタイムやホールドタイムを十分確保でき、配線からの放射を低減することができ。また、複数の画像データは、位相が異なると共に、ラッチ制御信号の位相は画像データに応じて異なるので、画像データ毎に適した位相差でラッチすることができる。

【0017】また、複数の画像データは、位相の異なる

複数のブロックに分けられ、ブロック毎に異なるタイミングでラッチされるので、ブロック毎に適した位相差でラッチすることができる。さらに、画像データの位相は、時間的に変化すると共に、ラッチ制御信号も時間的に変化するので、時間的に変化する画像データに対しても、適した位相差でラッチすることができる。

【0018】また、ラッチ制御回路は、液晶駆動回路に設けられているので、画像データの遅延を最適に吸収できる。加えて、表示部に画像データに応じた駆動信号を供給する液晶駆動回路と、この液晶駆動回路に複数の画像データを並列に供給する制御部と、位相の異なるクロックを発生するクロック発生回路と、このクロック発生回路の発生する位相の異なるクロックに応じて、異なるタイミングで複数の画像データを液晶駆動回路がラッチするよう形成されたラッチ制御信号を供給するラッチ制御回路を備えたので、画像データの遅延のために発生するタイミングエラーを防ぎ、液晶駆動回路で全ての画像データに対してセットアップタイムやホールドタイムを十分確保でき、配線からの放射を低減することができる。

【図面の簡単な説明】

【図1】 この発明の実施の形態1による液晶表示装置*

*を示す概略構成図である。

【図2】 この発明の実施の形態1による液晶表示装置の信号を示す概略タイミングチャート図である。

【図3】 この発明の実施の形態2による液晶表示装置の信号を示す概略タイミングチャート図である。

【図4】 この発明の実施の形態3による液晶表示装置の信号を示す概略タイミングチャート図である。

【図5】 この発明の実施の形態4による液晶表示装置の液晶駆動回路を示す概略構成図である。

【図6】 この発明の実施の形態5による液晶表示装置の液晶駆動回路を示す概略構成図である。

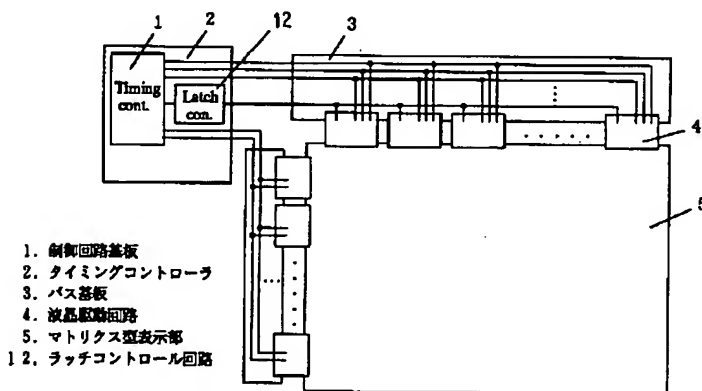
【図7】 従来の液晶表示装置を示す概略構成図である。

【図8】 従来の液晶表示装置の液晶駆動回路を示す概略構成図である。

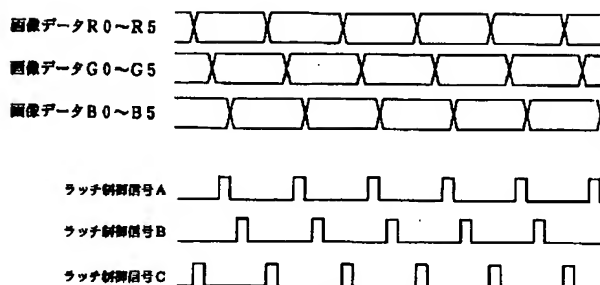
【符号の説明】

1 制御回路基板、 2 タイミングコントローラ、
3 バス基板、4 液晶駆動回路、 5 マトリクス型表示部、 6 シフトレジスタ、7 ラッチ回路/データレジスタ、 8 レベルシフタ、9 D/Aコンバータ、 10 出力バッファ、12 ラッチコントロール回路。

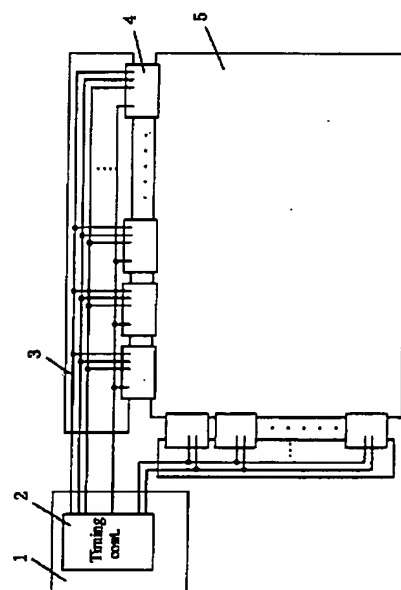
【図1】



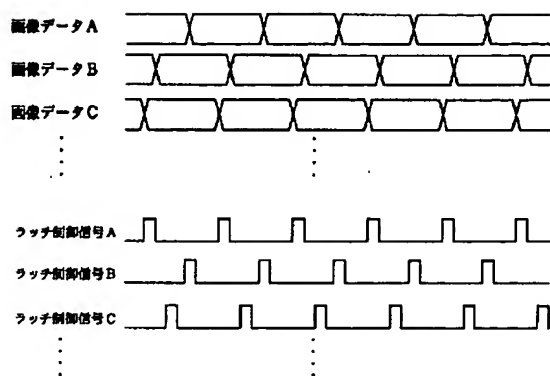
【図3】



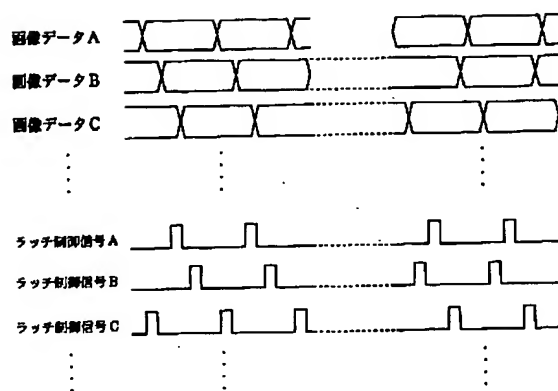
【図7】



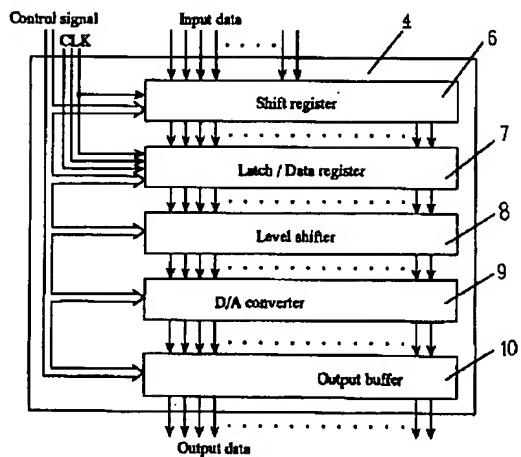
【図2】



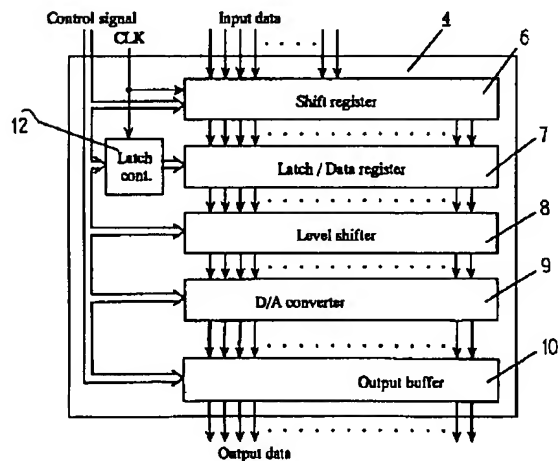
【図4】



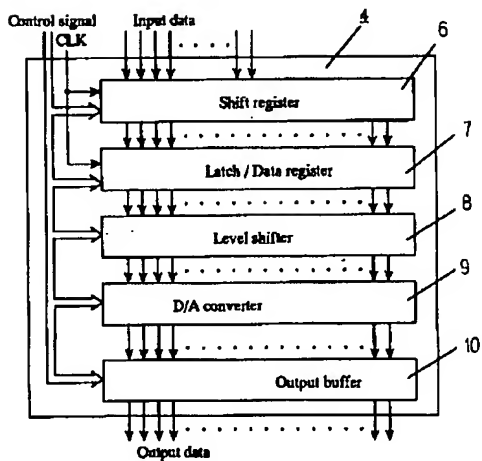
【図5】



【図6】



【図8】



フロントページの続き

(72)発明者 高林 勉
東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内

F ターム(参考) 2H093 NA06 NA43 NA53 NC13 NC16
NC26 ND06 ND34 ND40
5C006 BF04 FA13 FA15 FA32 FA37
FA48 FA56